

EPODOC / EPO

SC0969EI HE

PN - JP3235365 A 19911021
PD - 1991-10-21
PR - JP19900031118 19900209
OPD - 1990-02-09
TI - SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE OF MASTER
SLICE SYSTEM
IN - FUSE EIGO
PA - NIPPON ELECTRIC CO
IC - H01L21/82 ; H01L27/118

© WPI / DERWENT

TI - Masterslice semiconductor integrated circuit device - has element
operation test circuit and operating-speed test circuit NoAbstract
Dwg 1/4
PR - JP19900031118 19900209
PN - JP3235365 A 19911021 DW199148 000pp
PA - (NIDE) NEC CORP
IC - H01L21/82 ;H01L27/11
OPD - 1990-02-09
AN - 1991-350269 [48]

© PAJ / JPO

PN - JP3235365 A 19911021
PD - 1991-10-21
AP - JP19900031118 19900209
IN - FUSE EIGO
PA - NEC CORP
TI - SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE OF MASTER
SLICE SYSTEM
AB - PURPOSE:To device whether the operating speed of a circuit is
acceptable and to make failure analysis easier by providing a
plurality of test circuit sections to a semiconductor chip and
connecting each circuit section to bonding pads commonly used
with a logic circuit section.
- CONSTITUTION:A logic circuit constituting area3 is provided at the
center part of a semiconductor chip 1. In addition, a throughhole
yield checking pattern constituting area 4, transistor yield checking
pattern constituting area 5, and operating-speed monitor circuit
constituting area 6 are provided to the chip 1 by utilizing vacant

areas. The areas 4, 5, and 6 are respectively connected to bonding pads 2a and 2b, 2d and 2e, and 2f used in the area 3 so that checking works with a probe checker, etc., can become easier and a measurement program with an LSI tester can be simplified. Therefore, the discrimination of the operating speed which has not been possible in a wafer state can be made and it can be discriminated easily whether a defect is caused in a the diffusion process of the wafer or wiring process.

I - H01L27/118 ;H01L21/82

⑫ 公開特許公報(A)

平3-235365

⑤ Int. Cl.⁵

識別記号

庁内整理番号

④ 公開 平成3年(1991)10月21日

H 01 L 27/118
21/828225-5F H 01 L 21/82
8225-5F
8225-5FM
T
P

審査請求 未請求 請求項の数 4 (全5頁)

⑬ 発明の名称 マスタースライス方式半導体集積回路装置

⑭ 特 願 平2-31118

⑮ 出 願 平2(1990)2月9日

⑯ 発 明 者 布 施 英 悟 東京都港区芝5丁目33番1号 日本電気株式会社内
⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑱ 代 理 人 弁理士 尾身 祐助

明 細 書

1. 発明の名称

マスタースライス方式半導体集積回路装置

2. 特許請求の範囲

(1) 共通のウェハ工程により複数の半導体素子が作り込まれたマスターチップに対し個別的な配線が施されて形成されたマスタースライス方式半導体集積回路装置であって、所望の論理機能を有するロジック回路部と、配線の形成状態を試験するための配線テスト回路部と、半導体素子の特性を試験するための素子特性テスト回路部と、回路の動作速度を検出するための動作速度テスト回路部とを具備するマスタースライス方式半導体集積回路装置。

(2) 各テスト回路部が、少なくとも1つの、前記ロジック回路部と共通のボンディングパッドに接続されている請求項1記載のマスタースライス方式半導体集積回路装置。

(3) 前記配線テスト回路部が、異なる層の配線とそれらの配線を接続するスルーホールを含んでいる請求項1または2記載のマスタースライス方式半導体集積回路装置。

(4) 前記動作速度テスト回路部が、インバータ回路の多段接続回路を含んでいる請求項1、2または3記載のマスタースライス方式半導体集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、共通のウェハ工程において複数の半導体素子が規則的に作り込まれたマスターチップに対し、ユーザが要求する所望のロジック回路を構成するための個別的な配線用マスクパターンにより配線を施して形成されたマスタースライス型半導体集積回路装置に関する。

〔従来の技術〕

近年、半導体集積回路装置は、ユーザの要求が多様化したことにより、マスタースライス方式に

よって製造される場合が多くなっている。このマスタースライス方式においては、半導体素子形成工程（拡散工程）にて多数の半導体素子（トランジスタ、ダイオード、抵抗等）を所定の間隔で規則的配列に形成しておき、ユーザ仕様に基づく配線工程用マスクパターンを使用して半導体素子間を配線することによって、ユーザの要求する特定のロジック回路を製造する。すなわち、この方式においては、ユーザは所望のロジック回路の動作機能を決定して回路を設計し、製造側は要求された回路に基づき配線工程用マスクパターンを設計して、半導体集積回路装置を製造するのである。

第4図は、このようなマスタースライス方式によって製造された半導体集積回路装置を示す模式図である。半導体チップ1の縁部にはその縁部に沿って多数のボンディングパッド2が配設されており、このボンディングパッド2に囲まれた領域にゲート回路を構成するための半導体素子が形成されている。これらの半導体素子の中のロジック

回路にあるのかあるいは配線工程にあるのかを即座に判断できないという欠点があった。

従来、上記不良解析を行うには不良解析用個別マスクパターンで集積回路を製造してこれを用いて解析を行う必要があった。

このように、従来例では、製造工程上発生する問題点の早期発見が困難であり、また、不良解析には多大な工数が必要であった。

本発明は、かかる問題点に鑑みてなされたものであって、ウェハ状態で電気的特性チェックをすることにより、回路の動作速度の良否判定が可能であり、かつ、不良解析が容易にできるマスタースライス型半導体集積回路装置を提供することを目的とする。

〔課題を解決するための手段〕

本発明のマスタースライス型半導体集積回路装置は、共通のウェハ工程において複数の半導体素子が作り込まれたマスタチップに対し、個別的な配線用マスクパターンにより配線を施すことにより形成されるものであって、ユーザが要求するロ

ジック回路構成領域3内の素子を使用して所望のロジック回路が構成され、領域3とボンディングパッド2とがリードパターンによって接続される。

マスタースライス方式によれば、このように配線用マスクパターンをユーザの要求に応じて個別に形成するだけで、多種の半導体集積回路装置を製造することができるので、少量多品種の製品を短期にしかも安価に製造することができる。

〔発明が解決しようとする課題〕

ウェハ段階で半導体集積回路装置の動作速度をICテスト等で求めることは、その動作速度が速いこと、入出力関係が複雑になること等の理由により困難である。特に、上述したマスタースライス方式半導体集積回路装置では、その回路設計がユーザの要望により多岐にわたっているため、なおさらである。

また、従来例では、不良品が発生した際の不良解析において確度の高いチェックパターンがないので、ウェハの電気的特性チェックのみでは、不良原因が半導体素子を形成する共通工程（拡散工

程）にあるのかあるいは配線工程にあるのかを即座に判断できないという欠点があった。ロジック回路が構成されているロジック回路部と、その空き領域部の半導体素子を使用して構成された、直列接続の複数段のインバータ回路等からなる動作速度テスト回路部と、空き領域のトランジスタ素子を複数個並列に接続したトランジスタアレイ等からなる半導体素子特性テスト回路部と、空き領域部を使用して構成された、複数個のスルーホールを含んでジグザクに接続された配線等からなる配線テスト回路部とを有している。

これらの各テスト回路部は、そのボンディングパッドの一部をロジック回路部と共通に使用している。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は、本発明の一実施例を示す平面図である。同図に示されるように、半導体チップ1の中央部には所望のロジック回路が構成されたロジック回路構成領域3が設けられており、この領域3に形成された半導体素子と半導体チップ1の縁端

部に形成されたボンディングパッド2とはリードパターンで接続されている。

マスタースライス方式半導体集積回路装置においては、ユーザが要求するロジック回路を個別マスクパターンで製造しているため、回路動作上使用されない半導体素子および空きボンディングパッドが存在する。本実施例においては、この回路動作上使用されない半導体素子が存在している領域を、スルーホール歩留りチェック用パターン構成領域4、トランジスタ歩留りチェック用パターン構成領域5、動作速度モニタ回路構成領域6として利用する。

まず、スルーホール歩留りチェック用パターン構成領域4およびトランジスタ歩留りチェック用パターン構成領域5について説明する。

この構成領域を設ける目的は、1枚のウェハから得られる良品チップが少ない場合に、その不良原因が半導体素子形成工程（拡散工程）にあるのかあるいは個別的マスクパターンで配線される工程（配線工程）にあるのかを判断するためである。

を行う。

動作速度モニタ回路構成領域6においては、領域6内の半導体素子を使用してインバータ回路を構成する。そして、第2図(c)に示すように、複数段のインバータ回路10を直列に接続する。インバータ回路10は、その入力端(IN)がロジック回路構成領域3で使用しているボンディングパッド2eに接続され、出力端(OUT)は、空きボンディングパッド2fに接続されている。

次に、動作速度測定法について説明する。LSIテストで入力端(IN)側にパルス信号を入力し、出力端(OUT)側で出力パルスを測定し、パルス遅れ時間からインバータ回路10の1段分の動作速度を算出する。インバータ回路1段分の遅れ時間を t_{pd} とし入力端から出力端までのインバータの段数を n とすると、入力パルスから出力パルスは $n t_{pd}$ 分だけ遅れる。LSIテストでは $n t_{pd}$ が短いと正確に認識できないことがあるので、測定精度を上げるには、インバータ回路10の段数 n を十分大きくしておく必要がある。ここ

で、そのための電気的特性チェックは、例えばロジック回路の良否判定と同時にされる。

スルーホール歩留りチェック用パターン構成領域4内は、第2図(a)に示すように、1層目配線7と2層目配線8とがスルーホール9を介して接続されている。このチェック用パターンの一端はロジック回路構成領域3で使用しているボンディングパッド2aに、他の一端は空きボンディングパッド2bに接続されている。そして、LSIテストでこの2端子間の抵抗測定を行い、スルーホールの良否判定を行う。

トランジスタ歩留りチェック用パターン構成領域5内は、第2図(b)に示すように、トランジスタ素子が複数個並列に接続されている。このトランジスタ素子のエミッタはロジック回路の最低電位に、コレクタはロジック回路構成領域3で使用されているボンディングパッド2cに接続されている。また、ベースは空きボンディングパッド2dに接続されている。このトランジスタについてLSIテストで各耐圧等の測定を行い良否判定

で、測定した動作速度は、所望の主ロジック回路の動作速度と同一特性を有しているので、この t_{pd} により主ロジック回路の良否判定ができる。

第3図は、本発明の他の実施例を示す平面図である。本実施例においては、先の実施例で説明したスルーホール歩留りチェック用パターン構成領域4、トランジスタ歩留りチェック用パターン構成領域5、動作速度モニタ回路構成領域6からの引き出し配線の一端がロジック回路構成領域3で使用している一つのボンディングパッド2hに接続されている。

このように、本実施例によれば、領域4～5の端子を領域3のための一端子に固定することにより探針チェッカ等でのチェック作業が容易になるとともに、LSIテストでの測定プログラムも簡易化できる。

以上の実施例においては、バイポーラトランジスタを用いて拡散工程に関するチェックを行っていたが、本発明はこれに限定されるものではなく、MOSトランジスタを用いるものであっても

よい。

また、上述の動作速度モニタ方法に替え、インバータ回路によりリングオシレータを構成することにより、動作速度を測定するようにしてもよい。

[発明の効果]

以上説明したように、本発明は、マスタースライス方式半導体集積回路装置の空き領域を使用してスルーホール歩留りチェック用パターンを、そして空き領域の半導体素子を用いて動作速度モニタ回路およびトランジスタ歩留りチェック用パターンを設けたものである。本発明によれば、従来、ウェハ段階では判定できなかった動作速度の良否判定が可能となり、さらに、不良原因がウェハの拡散工程にあるのかあるいは配線工程にあるのかの判断も容易となる。

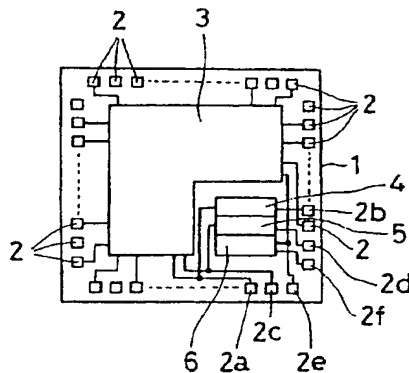
4. 図面の簡単な説明

第1図、第3図は、それぞれ、本発明の実施例を示す模式図、第2図は、第1図、第3図の実施

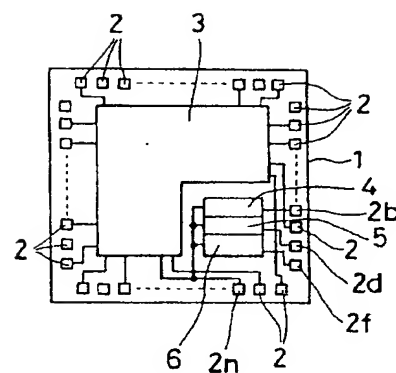
例装置に用いられるチェック用素子の構成図、第4図は、従来例を示す模式図である。

1…半導体チップ、 2、2a、2b、2c、2d、2e、2f…ボンディングパッド、 3…ロジック回路構成領域、 4…スルーホール歩留りチェック用パターン構成領域、 5…トランジスタ歩留りチェック用パターン構成領域、 6…動作速度モニタ回路構成領域、 7…1層目配線、 8…2層目配線、 9…スルーホール、 10…インバータ回路。

代理人 井理士 尾身祐助

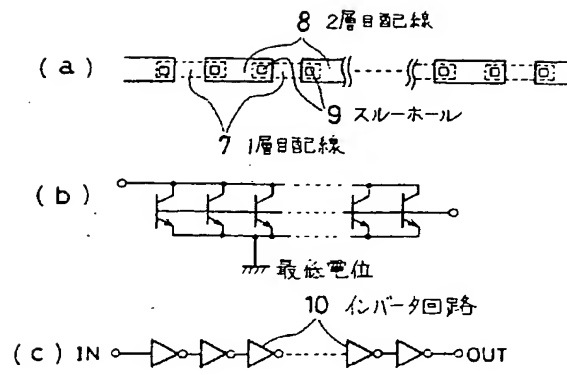


第 1 図

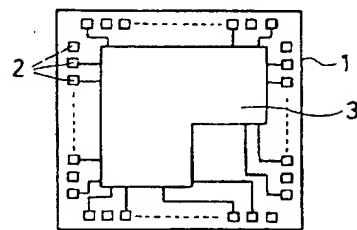


第 3 図

- 1…半導体チップ
2,2a,2b,2c,2d,2e,2f…ボンディングパッド
3…ロジック回路構成領域
4…スルーホール歩留りチェック用パターン構成領域
5…トランジスタ歩留りチェック用パターン構成領域
6…動作速度モニタ回路構成領域



第 2 図



第 4 図

